

KOREAN PATENT ABSTRACTS

(11)Publication number: **100190035 B1**
(43)Date of publication of application: **19.01.1999**

(21)Application number: **1019960013469**

(71)Applicant: **SAMSUNG ELECTRONICS
CO., LTD.**

(22)Date of filing: **29.04.1996**

(72)Inventor: **JANG, GYU JEONG**

(51)Int. Cl **G02F 1/136
G02F 1/133**

(54) METHOD FOR MANUFACTURING LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PURPOSE: A method for fabricating a liquid crystal display device is provided to reduce the number of masks which are required for manufacturing the liquid crystal display device by using a polyimide resin as a protecting layer.

CONSTITUTION: A gate line(31) extending to the first direction and the first data line(33) extending to the second direction are simultaneously formed on the same plane. A gate insulation film(35), a semiconductor layer(37) and an ohmic layer(39) are sequentially formed on the structure. By partially removing the gate insulation film(35), the semiconductor layer(37) and the ohmic layer(39), a channel portion of a thin film transistor and a discontinuous area of the first data line(33) are covered and an overlapped portion of the gate line(31) and the first data line(33) is remained. Then, the second data line(41) and a pixel electrode(43) are simultaneously formed.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19960429)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (19981224)

Patent registration number (1001900350000)

Date of registration (19990119)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)

(12) 등록특허공보 (B1)

(51) Int. Cl.

G02F 1 /136

G02F 1 /133

(11) 등록번호

10-0190035

(24) 등록일자

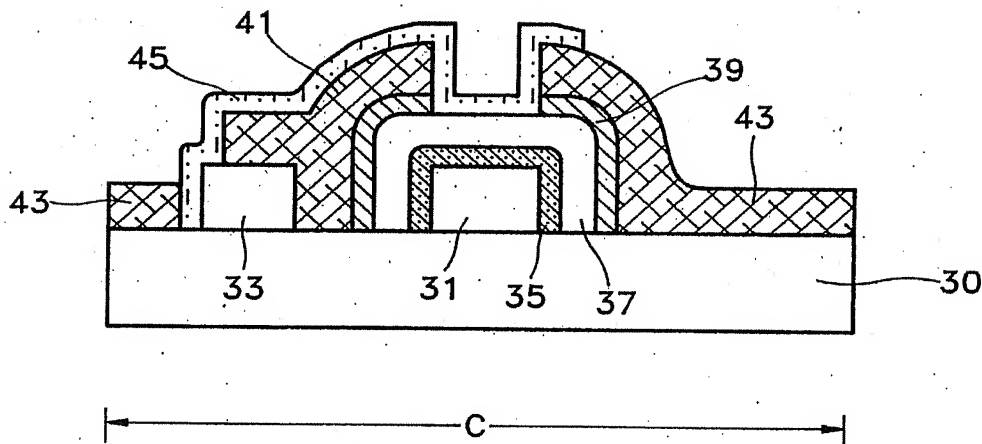
1999년01월19일

(21) 출원번호	10-1996-0013469	(65) 공개번호	특1997-0071095
(22) 출원일자	1996년04월29일	(43) 공개일자	1997년11월07일
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416번지		
(72) 발명자	장규정 경기도 수원시 장안구 정자동 동신아파트 215동1007호		
(74) 대리인	권석흠, 노민식, 이영필		
심사관 :	강해성		
(54) 액정표시장치의 제조방법			

요약

4매 마스크를 사용하여 액정표시장치를 제조하는 방법은, 제 1방향으로 신장하는 게이트 라인과 제 2방향으로 불연속으로 신장하는 제 1데이터 라인을 동일 평면에 동시에 형성하는 단계, 결과를 전면에 게이트절연층, 반도체층 및 오믹층을 순차적으로 형성하는 단계, 상기 게이트절연층, 반도체층 및 오믹층의 일부를 제거하여 상기 박막트랜지스터의 채널부분과 상기 제 1데이터 라인의 불연속영역을 덮으며 상기 게이트 라인 및 제 1데이터 라인과 중첩되는 부분을 남기는 단계, 상기 채널부분의 잔여 반도체층의 일단과 상기 중첩부분의 잔여 반도체층을 연결하는 제 2데이터 라인과 채널부분의 잔여 반도체층의 타단에 연결된 화소전극을 동시에 형성하는 단계, 및 결과를 전면에 보호막을 형성하는 패턴화하는 단계로 구성된다.

대표도



명세서

[발명의 명칭]

액정표시장치의 제조방법

[도면의 간단한 설명]

제1도는 일반적인 액정표시장치의 개략적인 평면도이다.

제2도는 종래의 방법에 의한 액정표시장치의 단면도이다.

제3도 내지 제6도는 종래 기술에 의한 액정표시장치의 제조 방법을 설명하기 위한 단면도들이다.

제7a도 및 제7b도는 본 발명에 의한 액정표시장치의 레이아웃 및 VII-VII에 따른 단면을 나타낸다.

제8도 내지 제11도는 제7도의 액정표시장치의 제조단계를 나타내는 단면도들이다.

[발명의 상세한 설명]

본 발명은 액정표시장치의 제조방법에 관한 것으로, 특히 4매 마스크를 사용하여 액정표시장치를 제조하는 방법에 관한 것이다.

인간과 컴퓨터(및 기타의 컴퓨터화된 기계)의 인터페이스를 담당하는 표시장치의 퍼스널화, 스페이스 절약화의 요구에 부응하여 지금까지의 표시장치 특히 비교적 거대한 음극선관 (CRT)을 대신하여 LCD(Liquid Crystal Display), PDP(plasma Display Pannel), EL(Electroluminescence)등 각종 평면 스크린 이나 평판 표시장치가 개발되어 왔다. 이들 평판 패널 디스플레이 중에서도 액정표시장치(LCD)의 기술의 진전은 가장 관심을 끌고 있고, 어떤 형태로서는, CRT의 컬러화질에 필적하거나 그 이상을 실현하기까지 되었다.

제1도는 일반적인 액정표시장치의 평면도이다.

참조번호 1은 게이트 라인은, 3은 게이트패드를, 5는 박막트랜지스터를, 7은 화소전극을, 8은 데이터 라인을 9는 데이터 패드를 나타낸다.

데이터 라인은 게이트 라인과 절연층(도시되지 않음)을 매개로 교차하고 있으며, 상기 데이터라인과 게이트 라인에 의해 한정되는 단위 화소셀은 하나의 화소전극과 상기 화소전극을 구동시키기 위한 박막트랜지스터(5)를 구비한다. 상기 박막트랜지스터(5)의 소오스전극은 데이터라인에, 게이트전극은 게이트 라인에, 드레인전극은 화소전극에 연결되어 있다. 따라서, 박막트랜지스터를 온시키는 신호가 게이트 라인을 통해 게이트전극에 인가되면, 데이터라인에 신호는 화소전극에 전달된다.

상기 액정표시장치를 구현하기 위해서는 수차례의 사진식각공정을 실시해야 한다. 액정표시장치를 7매 마스크를 이용하여 제조하는 방법이 종래에 개시되었다.

제2도는 7매 사진식각 마스크를 이용하여 제조된 액정표시장치의 단면도를 나타내며, 제3도 내지 제6도는 종래기술에 의한 액정표시장치의 제조방법을 설명하기 위한 단면도들이다. 여기서 참조부호 A는 박막트랜지스터부를, 참조부호 B는 게이트연결패드부분을 나타내며, 참조번호 10은 기판을, 11은 게이트전극(게이트패드 연결부에서는 제 1패드전극)을, 13은 양극산화막을, 15는 절연층을, 17 및 19는 반도체층을, 21a 및 21b는 소오스/드레인전극을, 21c는 제 2 패드전극을, 23은 보호막을, 25는 화소전극을 나타낸다.

제2도에서, 박막트랜지스터부의 기판(10)상에 형성된 게이트전극(11)과 데이터전극과 연결된 소오스 전극(21a) 및 화소전극(25)과 연결된 드레인 전극(21b)과의 사이는 양극산화막(13), 절연층(15), 반도체층(17) 및 오믹층(19)이 개재되어 있

다. 상기 게이트전극 상부의 반도체층은 노출되어 보호막(23)으로 덮혀있다. 반면, 게이트패드 연결부에서는 제 1패드전극이 게이트전극(11)이 기판상에 형성되어 있고, 상기 게이트전극과 접촉하는 제 2패드전극(21c)이 형성되어 있다.

제3도에서, 기판(10) 상에 A1로 금속막을 형성한 후 1차로 사진식각하여 게이트 라인의 분지인 게이트 전극(11)을 형성한다. 이어서, 2차로 사진공정을 이용하여 게이트-패드 연결부 상에 포토레지스트 패턴(도시 안함)을 형성한 후 기판(10)을 양극산화하여 TFT부의 게이트전극(11) 상에 양극산화막(13)을 형성한다. 이때 게이트-패드 연결부는 양극산화되지 않는다.

제4도에서, 양극산화막(13)이 형성된 전면에 절연물, 비정질실리콘 및 불순물이 도핑된 비정질실리콘을 순차적으로 침적한 후, 3차로 사진식각하여 TFT부에 비정질실리콘인 반도체층(17)과 불순물이 도핑된 비정질실리콘인 오믹층(19)을 형성한다.

제5도에서, 상기 절연막(15)을 4차로 사진식각하여 게이트-패드 연결부에 콘택홀을 형성한다. 계속하여, 기판의 전면에 Cr 등의 금속을 적층한 후 5차로 사진식각하여 소오스전극(21a) 및 드레인 전극(21b) 및 패드전극(21c)을 형성한다. 상기 소오스전극은 데이터 라인의 일부이다. 이때, 오믹층(19)도 식각되어 상기 게이트전극(11) 상부에 형성된 반도체층(17)의 일부가 노출된다.

제6도에서, 기판(10)의 전면에 보호막(23)을 형성한 후 6차로 사진식각하여 드레인 전극(21b) 상에 화소전극용 콘택홀과 게이트-패드 연결부의 보호막을 제거한다. 이어서, 투명전극물질인 IT0를 형성한 후 7차로 사진식각하여 화소전극(25)을 형성한다. 상기 6차 사진식각시 드레인 전극 상에 형성된 보호막(23)은 식각되어 화소전극(25)은 데이터 라인의 일부인 드레인전극(21b)에 연결된다. 따라서, 데이터 라인의 신호는 소오스전극, 불순물이 도핑된 비정질 실리콘막 비정질실리콘막으로 구성된 반도체층 및 드레인 전극을 통해 화소전극에 전달된다.

상술한 바와 같이 종래의 액정표시장치의 제조방법은 최소한 7차례의 사진식각공정이 요구되어, 제조비용이 증가할 뿐 아니라 제조수율이 떨어지는 단점이 있다.

따라서, 본 발명의 목적은 사진식각마스크의 수를 줄일 수 있는 액정표시장치의 제조방법을 제공함에 있다.

본 발명의 목적을 달성하기 위한 박막트랜지스터를 가지는 액정표시장치의 제조방법은, 제 1방향으로 신장하는 게이트 라인과 제 2방향으로 불연속적으로 신장하는 제 1데이터 라인을 동일 평면에 동시에 형성하는 단계, 결과물 전면에 게이트 절연층, 반도체층 및 오믹층을 순차적으로 형성하는 단계, 상기 게이트절연층, 반도체층 및 오믹층의 일부를 제거하여 상기 박막트랜지스터의 채널부분과 상기 제 1데이터라인의 불연속영역을 덮으며 상기 게이트 라인 및 제 1데이터 라인에 중첩되는 부분을 남기는 단계, 및 상기 채널부분의 잔여 반도체층의 일단과 상기 중첩부분의 잔여 반도체층을 연결하는 제 2데이터 라인과 채널부분의 잔여 반도체층의 타단에 연결된 화소전극을 동시에 형성하는 단계를 구비한다.

또한, 상기 제 2데이터라인 및 화소전극의 형성 단계 후 결과물 전면에 보호막을 형성하여 패턴화하는 단계를 더 구비할 수 있다.

이하 도면을 참조로 본 발명을 상세히 설명한다.

먼저 참조부호 C는 박막트랜지스터부를 참조부호 D는 게이트연결패드부분을 나타내며, 참조번호 30은 기판을, 31은 게이트 라인(게이트패드 연결부에서는 제 1패드전극)을, 33은 제 1데이터 라인을, 35는 게이트절연층을, 37은 반도체층을, 38은 제 1활성영역을, 39는 오믹층을, 40은 제 2활성영역을, 41은 제 2데이터 라인을, 43은 화소전극을, 45는 보호막을 나타낸다.

제7a도 및 제7b도는 본 발명에 따른 액정표시장치의 레이아웃 및 VII-VII에 따른 단면을 나타낸다.

제7a도에서, 게이트 라인(31)이 반도체 기판(30)에 제 1방향으로 연속성을 가지고 신장하며, 제 1데이터 라인(33)은 상기 제 1방향에 수직인 제 2방향으로 불연속적으로 신장한다. 적층 구조의 게이트절연층, 반도체층 및 오믹층은 추후 박막트랜지스터의 채널영역이 될 제 1활성영역(38)과 상기 제 1데이터 라인의 불연속부분 상에 위치하는 제 2활성영역(40)에만

존재한다. 제 2데이터 라인(41)은 상기 제 1활성영역과 제 2활성영역을 연결하도록 배치되며, 화소전극(43)은 상기 제 1활성영역을 기준으로 상기 제 1활성영역의 반대편에 형성되어 이싸다.

제7b도에서, 제 1데이터 라인(33)은 게이트 라인(31)과 동일 평면상에 형성되고 상기 제 2데이터 라인과 화소전극도 동일 평면상에 형성되어 있다. 상기 제 1데이터 라인(33)은 상기 제 2데이터 라인(41)과 연결되어 있고, 상기 제 2데이터 라인(41)은 반도체층(37)을 통해 화소전극(43)에 연결된다. 따라서, 제 1데이터 라인의 신호는 제 2데이터 라인 및 반도체층을 통해 화소전극에 도달된다.

제7a도 및 제7b도에서는 박막트랜지스터부만이 개시되어 있으나 이후의 액정표시장치의 제조단계에서는 게이트패드 연결부도 함께 설명될 것이다.

제8도는 게이트 라인(31)과 제 1데이터 라인(33)을 형성하는 단계를 도시한다.

기판(30) 상에 게이트 라인(31) 및 제 1데이터 라인(33) 형성용 금속막을 통상의 스퍼터링 장치를 이용하여 증착한다. 상기 금속막으로는 Cu, Al, AlZr, Mo, MoW, α -Ta, Cr 또는 MoTa드과 같은 불투명막 및 ITO 또는 SnO₂등과 같은 투명막 중의 어느 하나가 채용될 수 있다. 상기 게이트 라인과 제 1데이터라인을 형성하는 금속막으로 불투명금속막을 사용하는 경우 100-5000Å의 두께로, 투명막을 사용할 경우 500-2500Å의 두께로 형성한다. 다음, 제 1식각마스크를 이용하여 게이트 라인 및 제 1데이터 라인을 동시에 형성한다. 상기 게이트 라인 상에 종래와 같이 양극산화막을 형성할 수도 있다. 여기서 게이트 라인은 연속성을 가지나 제 1데이터 라인은 상기 게이트 라인과 수직으로 배치되어 있으며 불연속성을 가진다.

제9도는 절연층, 반도체층 및 오믹층을 형성하는 단계를 나타낸다.

통상의 PECVD장치를 사용하여 게이트절연층(35), 반도체층(37) 및 오믹층(39)을 순차적으로 결과물 전면에 형성한다. 여기서 게이트절연층은 비정질 SiN_x 및 SiO_x중의 어느 하나로 1000-4000Å의 두께로 형성되고, 반도체층은 비정질Si:H 및 CdSe 중의 어느 하나로 500-2000Å의 두께로 형성되며, 오믹층은 n+비정질 Si:H로 500-1000Å의 두께로 형성된다. 다음, 제 2식각마스크패턴을 이용하여 상기 세층을 식각하되, 박막트랜지스터의 채널부(38) 및 제 1데이터 라인의 불연속을 연결하는 영역(40)만을 남긴다.

제10도는 화소전극과 제 2데이터 라인을 형성하는 단계를 나타낸다.

통상의 스퍼터링장치를 이용하여 투명도전막인 ITO 및 SnO₂중의 어느 하나를 300-2000Å 두께로 증착한다. 다음 제 3사진식각마스크를 이용하여 상기 투명도전막을 패터닝하여 제 2데이터 라인(41)과 화소전극(43)을 동시에 형성한다. 이때 게이트패드 연결부에서는 게이트 라인으로 된 제 1패드전극 상에 제 2데이터 라인으로 된 제 2패드전극(41)이 형성된다.

제11도는 보호막을 형성하는 단계를 나타낸다.

이후 상기 화소전극 및 제 2데이터 라인을 마스크로 이용하여 반도체 채널영역(38)에 남아있는 오믹층을 건식식각한다. 다음 PECVD장치를 이용하여 결과물 전면에 SiN_x, SiO_xNy 및 SiO₂중의 어느 하나를 2000-6000Å의 두께로 증착한 후 제 4식각마스크를 이용하여 패터닝함으로써 보호막(45)을 형성하여 화소전극 상단부 및 게이트패드 연결부의 제 2데이터 라인의 상단부가 노출된다.

이상에서 살펴본 바와 같이, 종래에는 게이트전극과 데이터 라인의 일부인 소오스/드레인전극을 별도의 단계에서 형성하였으며, 화소전극도 상기 소오스/드레인전극의 형성단계 후의 별도의 단계에서 형성되었다. 그러나, 본 발명에서는 박막트랜지스터의 소오스/드레인전극이 되는 데이터 라인을 2개의 데이터 라인으로 나누어, 제 1데이터 라인은 게이트 라인과 동일 평면내에 동시에 형성되게 하고 상기 제 1데이터 라인과 박막트랜지스터의 반도체층과 연결시키는 제 2데이터 라인과 화소전극이 동일 평면내에서 동시에 형성되게 하여, 사진식각마스크의 수를 7개에서 4개 내지 5개(양극산화막을 형성할 경우)로 줄일 수 있었다.

한편, 보호층으로 폴리이미드계 절연 수지를 사용할 경우 별도의 사진식각마스크공정을 사용하지 않고 보호층을 형성할

수 있어 최소 3개의 사진식각마스크만으로도 액정표시장치를 제조할 수 있다.

(57) 청구의 범위

청구항 1. 제 1방향으로 신장하는 게이트 라인과 제 2방향으로 불연속적으로 신장하는 제 1데이터 라인을 동일 평면에 동시에 형성하는 단계, 결과물 전면에 게이트절연층, 반도체층 및 오믹층을 순차적으로 형성하는 단계, 상기 게이트절연층, 반도체층 및 오믹층의 일부를 제거하여 상기 박막트랜지스터의 채널부분과 상기 제 1데이터라인의 불연속영역을 덮으며 상기 게이트 라인 및 제 1데이터 라인과 중첩되는 부분을 남기는 단계, 및 상기 채널부분의 잔여 반도체층의 일단과 상기 중첩부분의 잔여 반도체층을 연결하는 제 2데이터 라인과 채널부분의 잔여 반도체층의 타단에 연결된 화소전극을 동시에 형성하는 단계를 구비함을 특징으로 하는 액정표시장치의 제조방법.

청구항 2. 제1항에 있어서, 상기 제 2데이터 라인 및 화소전극의 형성 단계 후 결과물 전면에 보호막을 형성하여 패터닝하는 단계를 더 구비함을 특징으로 하는 액정표시장치의 제조방법.

청구항 3. 제1항에 있어서, 상기 제 1데이터 라인과 게이트 라인은 동일 물질로 형성됨을 특징으로 하는 액정표시장치의 제조방법.

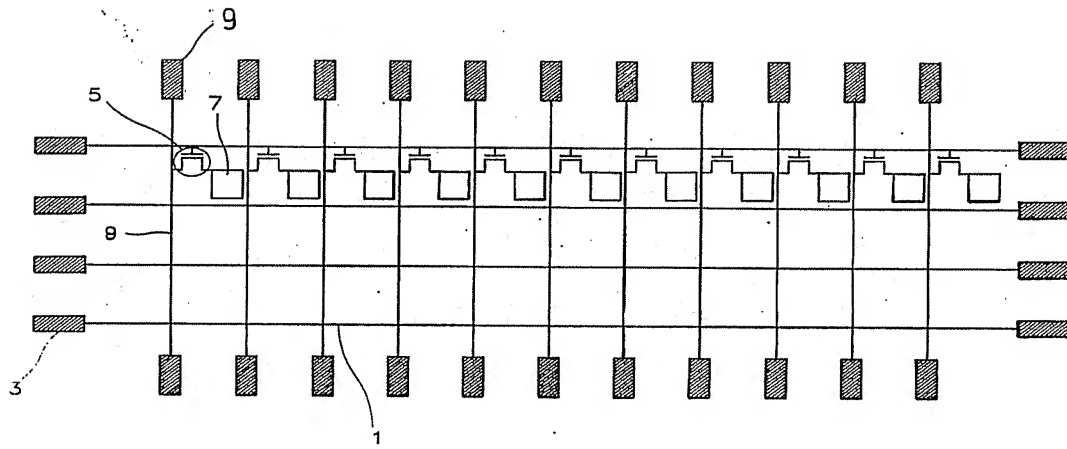
청구항 4. 제1항에 있어서, 상기 제 2데이터 라인과 화소전극은 동일물질로 형성됨을 특징으로 하는 액정표시장치의 제조방법.

청구항 5. 제3항에 있어서, 상기 제 1데이터 라인은 Cu, Al, AlZr, Mo, MoW, α -Ta, Cr, MoTa, IT0 및 SnO2 중의 어느 하나로 형성됨을 특징으로 하는 액정표시장치의 제조방법.

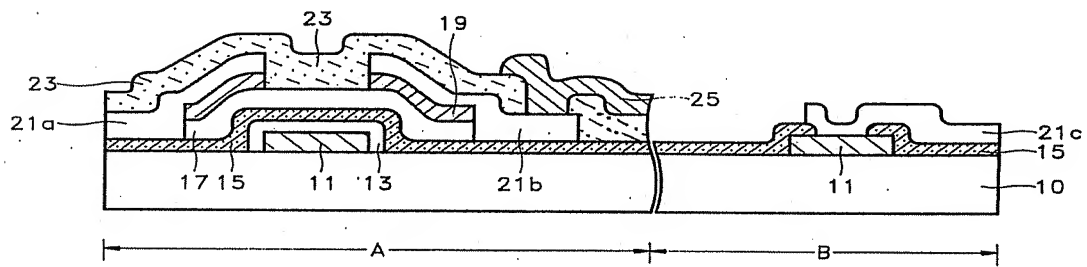
청구항 6. 제4항에 있어서, 상기 제 2데이터 라인은 IT0 또는 SnO2로 형성됨을 특징으로 하는 액정표시장치의 제조방법.

도면

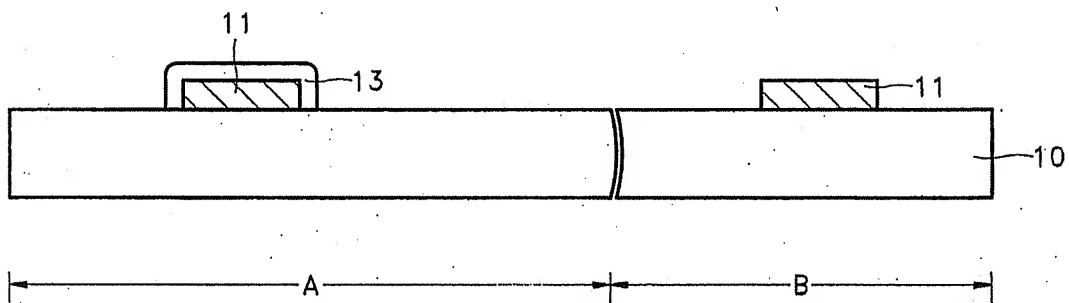
도면1



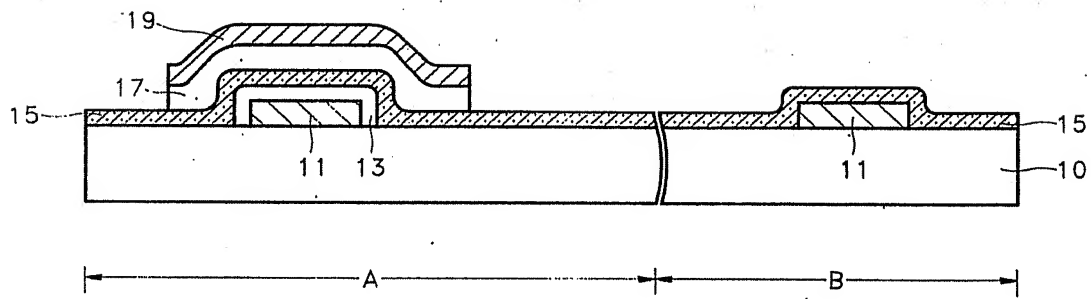
도면2



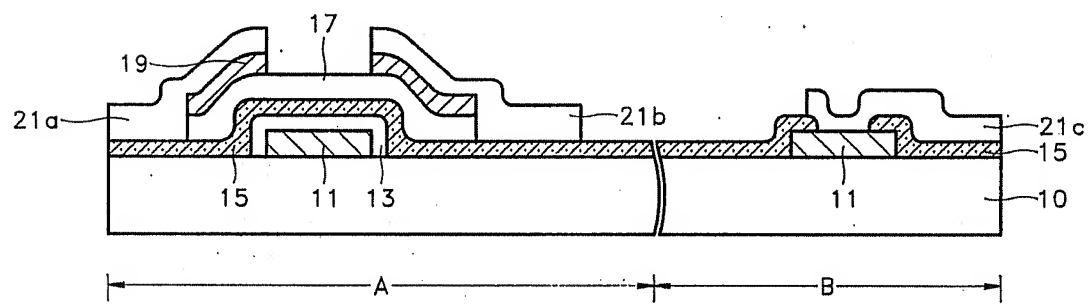
도면3



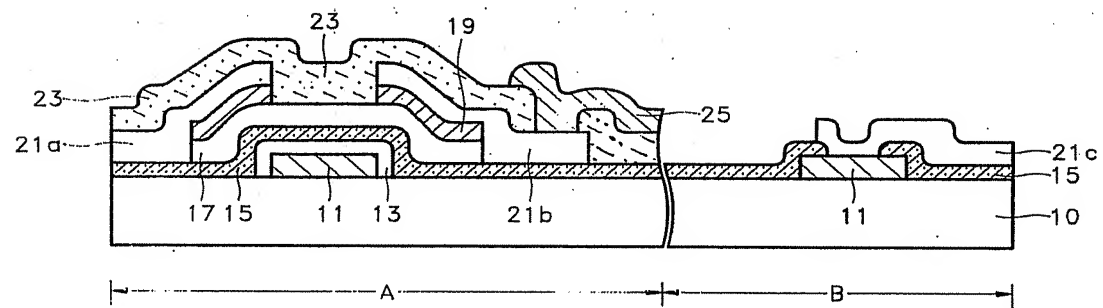
도면4



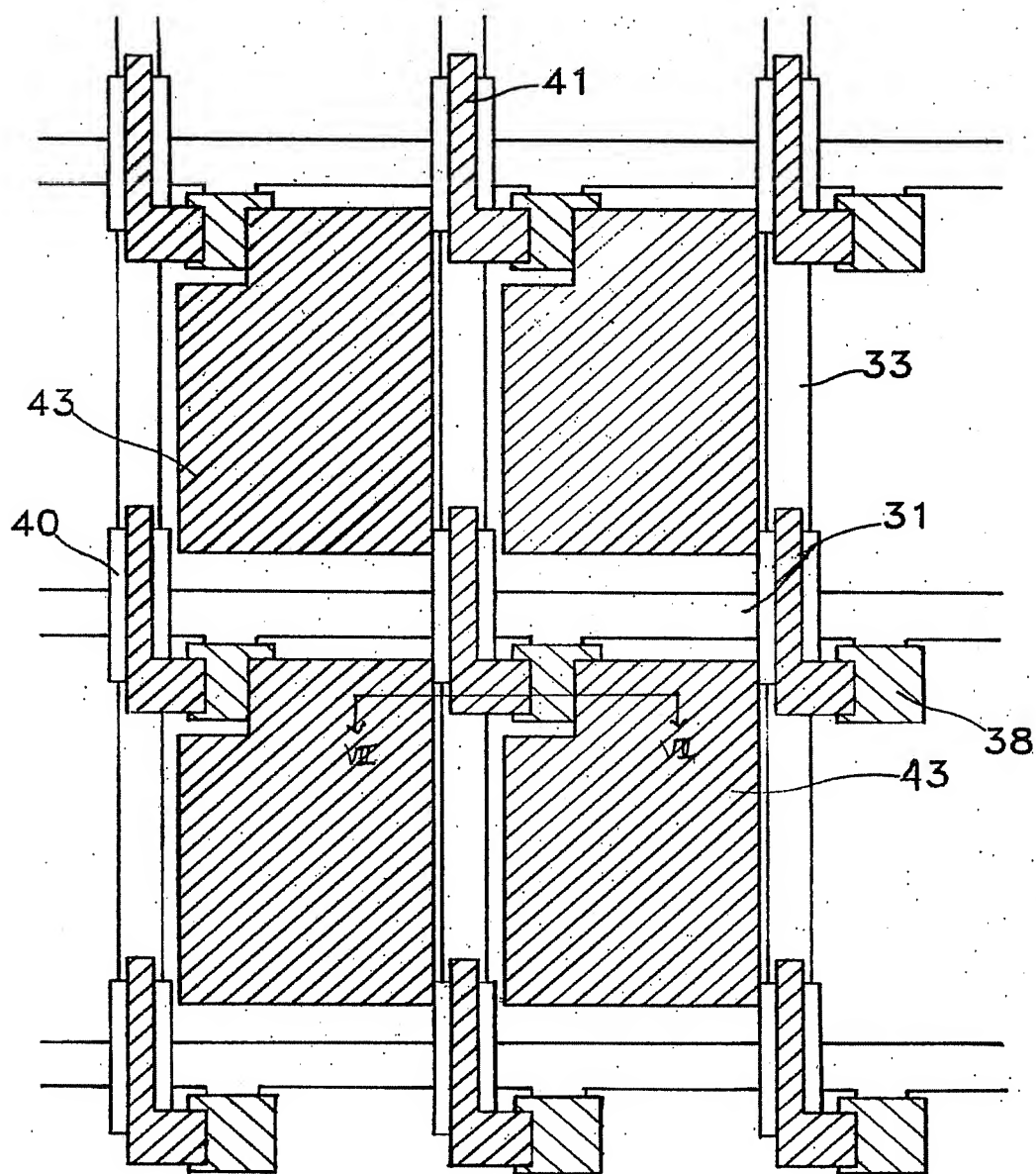
도면5



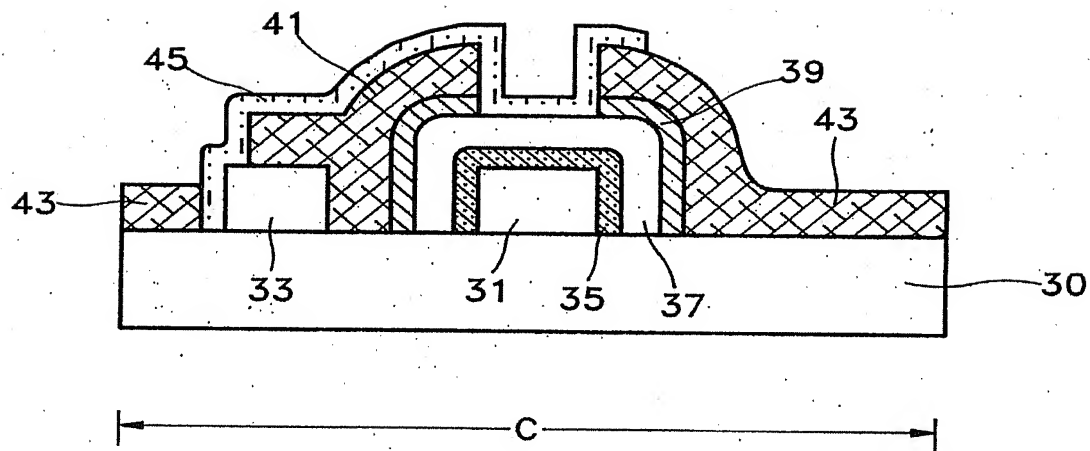
도면6



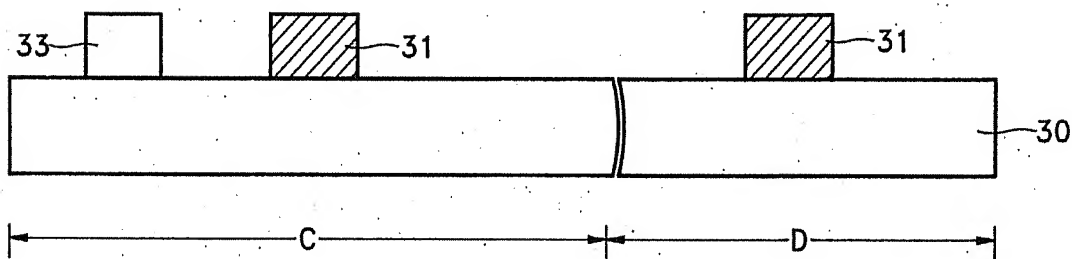
도면7a



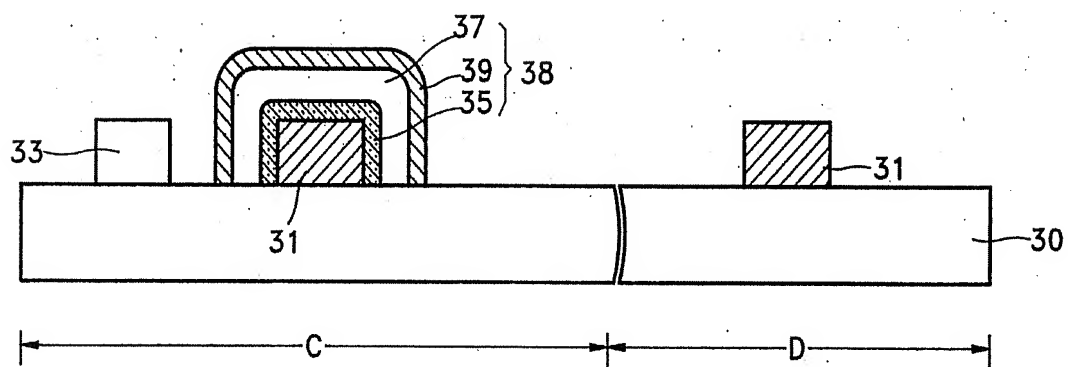
도면 7b



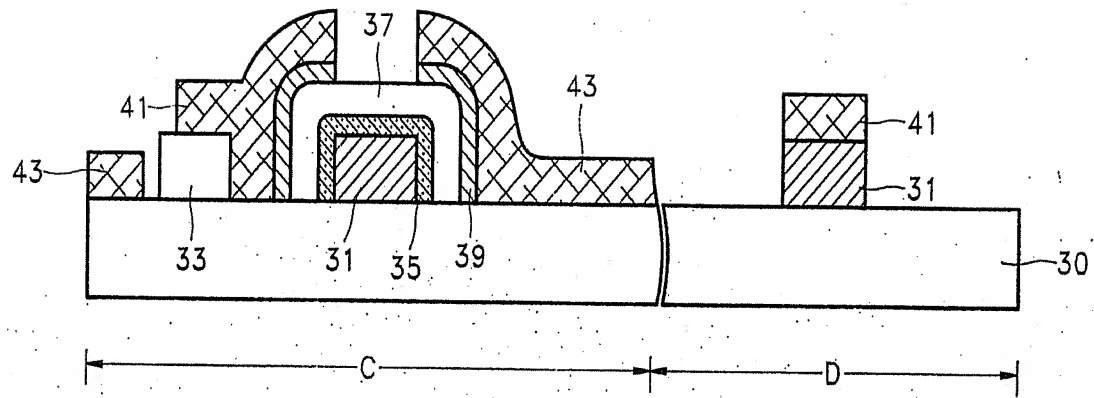
도면8



도면9



도면10



도면11

